

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175086

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G02F 1/136
G02F 1/1337

(21)Application number : 05-322825

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 21.12.1993

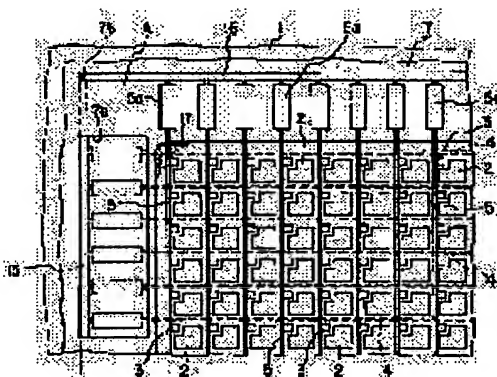
(72)Inventor : YOSHINO MASAO

(54) PRODUCTION OF ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To prevent the generation of the electric breakdown of thin-film transistors(TFTs) and abnormality of characteristics by obviating the generation of a potential difference by static electricity between gate lines and data lines.

CONSTITUTION: A TFT panel is constituted by forming pixel electrodes 2, TFTs 3, gate lines 4 and data lines 5 within a prescribed region A on a substrate 1, forming conductive paths 15, 16 for respectively electrically conducting the respective gate lines 4 to each other, the respective data lines 5 to each other and the respective gate lines 4 and the respective data lines 5 to each other along the inner side of the contours of the region A and forming an oriented film 7 on the region A. A liquid crystal cell is assembled with the TFT panel and a counter panel and thereafter, the substrate 1 of the TFT panel is scribed and cut along the contours of the region A. Further, the angle parts of the cut edges are chamfered by grinding and the conductive paths 15, 16 are removed by the chamfering, thereby, the respective gate lines 4 are made independent of each other, the respective data lines 5 are made independent of each other and the respective gate lines 4 and the respective data lines 6 are made independent of each other.



LEGAL STATUS

[Date of request for examination] 20.12.2000

[Date of sending the examiner's decision of rejection] 22.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175086

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁹

G 0 2 F 1/136
1/1337

識別記号

5 0 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全 5 頁)

(21) 出願番号 特願平5-322825

(22) 出願日 平成5年(1993)12月21日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 吉野 正雄

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内

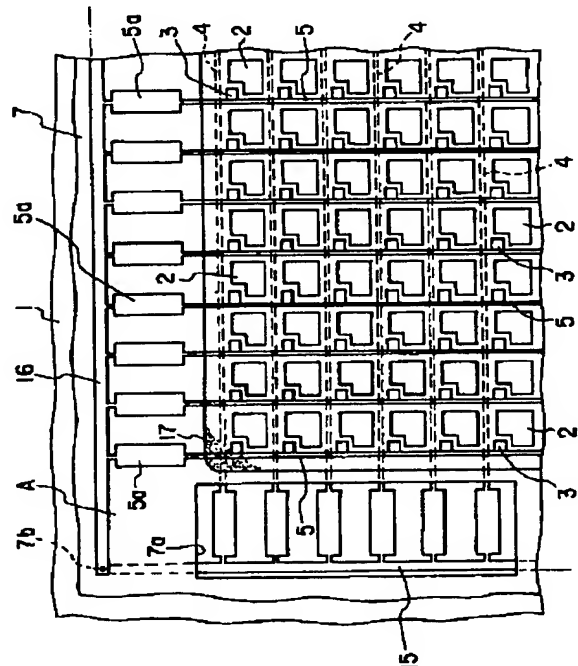
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 アクティブマトリックス型液晶表示素子の製造方法

(57) 【要約】

【目的】 ゲートラインとデータラインとの間に静電気による電位差が生じることがないようにして薄膜トランジスタの絶縁破壊や特性異常の発生を防止する。

【構成】 基板1の上の所定の領域A内に、画素電極2、薄膜トランジスタ3、ゲートライン4、データライン5を形成し、領域Aの輪郭の内側に沿って、各ゲートライン4の相互、各データライン5の相互、および各ゲートライン4と各データライン5との相互をそれぞれ電気的に導通させる導通路15、16を形成し、領域Aの上に配向膜7を形成して薄膜トランジスタパネルを構成し、この薄膜トランジスタパネルと対向パネルとで液晶セルを組立て、このうち薄膜トランジスタパネルの基板1を領域Aの輪郭に沿ってスクライブしてカットし、さらにそのカット線の角部を研磨により面取りし、この面取りにより導通路15、16を除去して各ゲートライン4の相互、各データライン5の相互、および各ゲートライン4と各データライン5との相互をそれぞれ独立させる。



【特許請求の範囲】

【請求項1】透明な基板の上の所定の領域内に、複数の画素電極と、これら画素電極に接続する複数の薄膜トランジスタと、前記薄膜トランジスタにゲート信号を供給する複数のゲートラインと、前記薄膜トランジスタにデータ信号を供給する複数のデータラインとを形成し、さらに前記領域の輪郭の内側に沿って前記各ゲートラインの相互、各データラインの相互、および各ゲートラインと各データラインとの相互をそれぞれ電氣的に導通させる導電路を形成し、かつ前記各画素電極および各薄膜トランジスタを覆う配向膜を形成し、この配向膜の膜面にラビング処理を施して薄膜トランジスタパネルを構成し、この薄膜トランジスタパネルと対向パネルとを枠状のシール材により接合して液晶セルを組立て、こののち前記薄膜トランジスタパネルの基板を前記領域の輪郭に沿ってスクライブしてカットし、このカット後に前記基板のカット縁の角部を研磨により面取りし、この面取りにより前記導電路を除去して各ゲートラインの相互、各データラインの相互、および各ゲートラインと各データラインとの相互をそれぞれ独立させることを特徴とするアクティブマトリックス型液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス型の液晶表示素子を製造する方法に関する。

【0002】

【従来の技術】アクティブマトリックス型の液晶表示素子は、薄膜トランジスタパネルと対向パネルとを、枠状のシール材を介して接合して液晶セルを組み立て、この液晶セル内に液晶を封入してなる。

【0003】薄膜トランジスタパネルは、ガラス等からなる透明な基板の上に、縦横に配列する複数の透明な画素電極と、これら画素電極に接続する複数の薄膜トランジスタと、前記薄膜トランジスタにゲート信号を供給する複数のゲートラインと、前記薄膜トランジスタにデータ信号を供給する複数のデータラインとを形成し、さらに基板の上に前記各画素電極および各薄膜トランジスタを覆うポリイミド等からなる配向膜を塗布し、この配向膜の膜面にラビング処理を施してなる。

【0004】そしてこのように構成された薄膜トランジスタパネルが液晶表示素子の組立工程に送られ、この薄膜トランジスタパネルと対向パネルとが、枠状のシール材を介して接合されて液晶セルとして組み立てられ、こののちこの液晶セル内に液晶が封入される。

【0005】

【発明が解決しようとする課題】ところが、薄膜トランジスタパネルの製造工程時に配向膜の膜面をラビングすると、ラビング布と配向膜との摩擦で静電気が発生し、この静電気の影響でゲートラインとデータラインとの間に電位差が生じ、この電位差で薄膜トランジスタに

絶縁破壊や特性異常が発生してしまうことがある。

【0006】さらに、薄膜トランジスタパネルと対向パネルとを接合して液晶セルを組み立てる工程時に、その作業者の身体に帯電している静電気の影響でゲートラインとデータラインとの間に電位差が生じ、この電位差で薄膜トランジスタに絶縁破壊や特性異常が発生してしまうことがある。

【0007】本発明はこのような点に着目してなされたもので、その目的とするところは、静電気の影響でゲートラインとデータラインとの間に電位差が生じることがないようにして薄膜トランジスタの絶縁破壊や特性異常の発生を防止することができるアクティブマトリックス型液晶表示素子の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明はこのような目的を達成するために、透明な基板の上の所定の領域内に、複数の画素電極と、これら画素電極に接続する複数の薄膜トランジスタと、前記薄膜トランジスタにゲート信号を供給する複数のゲートラインと、前記薄膜トランジスタにデータ信号を供給する複数のデータラインとを形成し、さらに前記領域の輪郭の内側に沿って前記各ゲートラインの相互、各データラインの相互、および各ゲートラインと各データラインとの相互をそれぞれ電氣的に導通させる導電路を形成し、かつ前記各画素電極および各薄膜トランジスタを覆う配向膜を形成し、この配向膜の膜面にラビング処理を施して薄膜トランジスタパネルを構成し、この薄膜トランジスタパネルと対向パネルとを枠状のシール材により接合して液晶セルを組立て、こののち前記薄膜トランジスタパネルの基板を前記領域の輪郭に沿ってスクライブしてカットし、このカット後に前記基板のカット縁の角部を研磨により面取りし、この面取りにより前記導電路を除去して各ゲートラインの相互、各データラインの相互、および各ゲートラインと各データラインとの相互をそれぞれ独立させるようにしたものである。

【0009】

【作用】配向膜の膜面のラビング処理時や液晶セルの組み立て時に薄膜トランジスタパネルに静電気の影響が及ぶが、しかしこの工程時には薄膜トランジスタパネルの各ゲートラインと各データラインとが導電路を介して互いに電氣的に導通しており、このため静電気が発生しても各ゲートラインと各データラインとの間に電位差が生じることがなく、その相互が同電位に保たれ、したがって薄膜トランジスタの絶縁破壊や特性異常の発生を防止することができる。

【0010】

【実施例】以下、本発明の一実施例について図面を参照して説明する。一般に液晶表示素子は、複数個の液晶セルを一括して組み立てる製法で製造されており、この製法で液晶表示素子を製造する場合は、一枚の大型基板を

3

用いて液晶表示素子複数個分の薄膜トランジスタパネルを構成し、液晶セルを組み立てた後に、前記大型基板を個々の薄膜トランジスタパネルの部分にスクライブして分離するようにしている。そしてスクライブによりカットした基板の周縁の角部を研磨により面取りしている。

【0011】図1には、前記の製法で液晶表示素子を製造する場合に用いられる薄膜トランジスタパネルの平面図を示してあり、符号1が液晶表示素子複数個分の薄膜トランジスタパネルを採取することができる大きさのガラス等からなる透明な大型基板である。

【0012】そしてこの基板1の上に、製造する液晶表示素子の大きさに対応する所定の領域Aが確保され、この領域A内に、縦横に配列する複数の透明な画素電極2と、これら画素電極2に接続する複数の薄膜トランジスタ3と、前記薄膜トランジスタ3にゲート信号を供給する複数本のゲートライン4と、前記薄膜トランジスタ3にデータ信号を供給する複数本のデータライン5とが形成されている。

【0013】前記薄膜トランジスタ3は、図2に示すように、基板1の上に配線したゲートライン4と一体に形成されたゲート電極6と、このゲート電極6を覆うSiN（窒化シリコン）等からなるゲート絶縁膜7と、このゲート絶縁膜7の上に前記ゲート電極6に対向させて形成したa-Si（アモルファスシリコン）からなるi型半導体膜8と、このi型半導体膜8の上に不純物をドーブしたa-Siからなるn型半導体膜9を介して形成したソース電極10およびドレイン電極11とで構成されている。

【0014】前記ゲート絶縁膜7は、前記ゲートライン4を覆って領域A内のほぼ全面に形成されており、前記画素電極2およびデータライン5は前記ゲート絶縁膜7の上に形成されている。そして画素電極2はその一端縁において薄膜トランジスタ3のソース電極10に接続されており、データライン5は薄膜トランジスタ3のドレイン電極11に一体的につながっている。

【0015】なお、図1において、4aはゲートライン4の一端部に形成された端子、5aはデータライン5の一端部に形成された端子であり、ゲートライン4の端子4aは、データライン5を形成した後に前記ゲート絶縁膜7に開口7aを形成することにより露出させてある。

【0016】さらに基板1の上には、図1に示すように、前記領域Aの輪郭の内側に沿って第1の導電路15と第2の導電路16とが形成され、第1の導電路15に各ゲートライン4がその端子4aの外側において一体につながり、また第2の導電路16に各データライン5がその端子5aの外側において一体につながっている。

【0017】第1の導電路15は、基板1の上にパターンニングによりゲートライン4を形成する工程時にそのゲートライン4と一体に形成し、第2の導電路16はパターンニングによりデータライン4を形成する工程時にその

4

データライン4と一体に形成する。

【0018】そして第1の導電路15と第2の導電路16とを、その一端部において互いに接続して電氣的に導通させる。第1の導電路15と第2の導電路16との間にはゲート絶縁膜7が介在しているが、第1の導電路15と第2の導電路16との接続は、例えば前記ゲート絶縁膜7にコンタクト孔7bを形成し、このコンタクト孔7bを通して第1の導電路15の一端部と第2の導電路16の一端部とを接触させることにより行なう。

10 【0019】基板1の上に画素電極2、薄膜トランジスタ3、ゲートライン4および第1の導電路15、データライン5および第2の導電路16を形成した後は、画素電極2および薄膜トランジスタ3が配置する領域の上にポリイミド等からなる配向膜17を塗布し、これを焼成する。

【0020】この後、基板1を図3に示すようにステージ20の上に配置し、前記配向膜17の膜面に、ナイロン、レーヨン、綿等のラビング布を巻き付けたラビングローラ21を接触させ、このラビングローラ21を回転させながら一方向に移動させて配向膜17の膜面にラビング処理を施す。

【0021】このとき、配向膜17の膜面とラビングローラ21との摩擦により静電気が発生するが、しかし各ゲートライン4と各データライン5とが第1の導電路15および第2の導電路16を介して互いに電氣的に導通しており、このため静電気が発生しても各ゲートライン4と各データライン5との間に電位差が生じることがなく、その相互が同電位に保たれる。したがって、静電気の影響による薄膜トランジスタ3の絶縁破壊や特性異常の発生が避けられる。

【0022】配向膜7の膜面に対するラビング処理が終了した後は、大型基板1を液晶表示素子の組立工程に送り、薄膜トランジスタパネルと対向パネルとを枠状のシール材を介して接合して液晶セルを組み立てる。

【0023】この組み立ての作業中に、作業者の身体に帯電している静電気の影響が薄膜トランジスタパネルに及ぶことがあるが、この場合においても、各ゲートライン4と各データライン5とが第1の導電路15および第2の導電路16を介して互いに電氣的に導通しているから、静電気の影響に拘らず各ゲートライン4と各データライン5との間が同電位に保たれ、その静電気の影響による薄膜トランジスタ3の絶縁破壊や特性異常の発生が避けられる。

【0024】液晶セルの組み立て後には、薄膜トランジスタパネルの大型基板1および対向パネルのお大型基板をそれぞれスクライブして液晶セルを個々に分離する。この際、薄膜トランジスタパネルの基板1においては、領域Aの輪郭に沿ってスクライブしてカットする。基板1を領域Aの輪郭に沿ってカットすることによりそのカットの縁に図4に示すように、導電路15、16が残

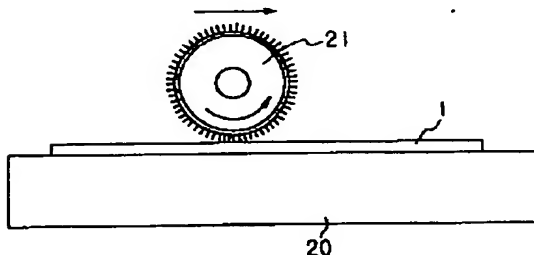
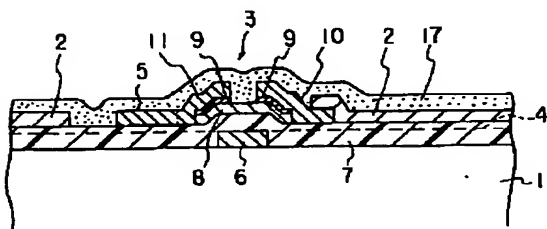
50

【 0 0 2 5 】 このカット後には、図 5 に示すように、導電路 1 5、1 6 と共にカットの縁の角部のバリを研磨により除去する。前記導電路 1 5、1 6 はカットの縁の角部に沿って配置しており、したがってこの研磨の工程により導電路 1 5、1 6 とバリとが同時に除去される。そして導電路 1 5、1 6 の除去により各ゲートライン 4 の相互、各データライン 5 の相互、各ゲートライン 4 と各データライン 5 との相互がそれぞれ切り離されて各ゲートライン 4 および各データライン 5 がそれぞれ独立し、液晶表示素子としての構成が整う。なお、図 4 および図 5 においては、基板 1 の上のゲート絶縁膜 7 を省略してある。

【0026】ところで、導電路15、16を基板1の上の領域Aの外側に形成し、基板1を領域Aの輪郭に沿ってスクライプする工程でその導電路15、16と、各ゲートライン4および各データライン5とを切り離して各ゲートライン4および各データライン5を独立させることも考えられるが、この場合においては、領域Aの外側に、導電路15、16を配置させるための余白部を確保しなければならない、その分、基板1の面積を増大させる必要が生じ、コストの点で不利となる。

【0027】本発明においては、領域Aの輪郭の内側に沿って導電路15、16を形成し、基板1を領域Aの輪郭に沿ってカットし、そのカットの縁の角部を研磨により面取りする工程を利用して導電路15、16を除去して各ゲートライン4および各データライン5を独立させるようにしており、したがって特に領域Aの外側に導電路15、16を配置させるための余白部を確保する必要がなく、基板1の面積を必要最小限にとどめてコストの低減を図ることができる利点がある。

【図3】



【００２８】なお、本発明は、大型基板を用いて複数個の液晶表示素子を一括して形成する場合に限らず、液晶表示素子一個分の採取が可能な大きさの基板を用いて液晶表示素子を製造する場合であってもよい。

10

【発明の効果】 以上説明したように本発明によれば、配向膜のラビング処理時や液晶セルの組み立て時に薄膜トランジスタパネルに静電気の影響が及んでも、その薄膜トランジスタパネルのゲートラインとデータラインとの間での電位差の発生を防止でき、したがってその電位差に起因する薄膜トランジスタの絶縁破壊や特性異常の発生を回避して製造の歩留りを向上させることができる。

20

【図1】本発明の一実施例を示す薄膜トランジスタパネルの一部の平面図。

【図2】その薄膜トランジスタパネルにおける薄膜トランジスタの構造を示す断面図。

【図3】その薄膜トランジスタパネルの配向膜にラビング処理をするときの状態を示す側面図。

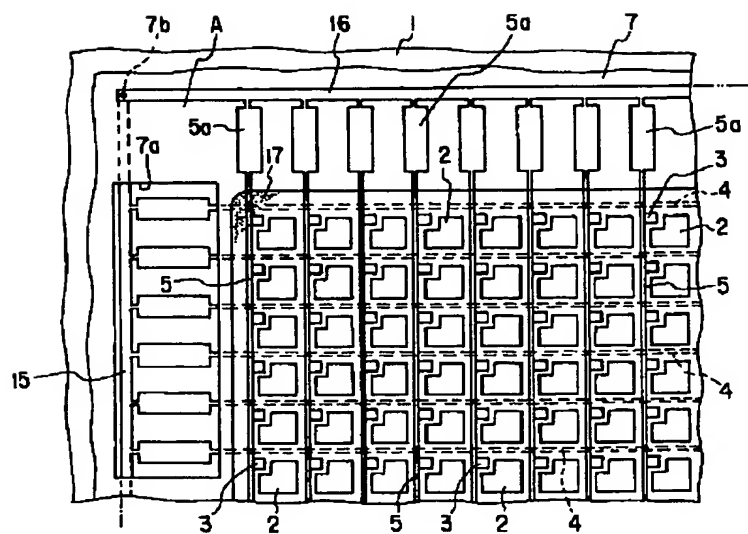
【図4】その薄膜トランジスタパネルにおける基板をカットしたときの状態を示す斜視図。

【図5】そのカットした基板の縁の角部を面取りした状態を示す斜視図。

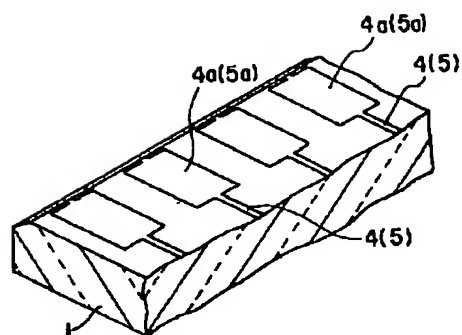
30

- 1…基板
2…画素電極
3…薄膜トランジスタ
4…ゲートライン
5…データライン
15、16…導電路
17…配向膜

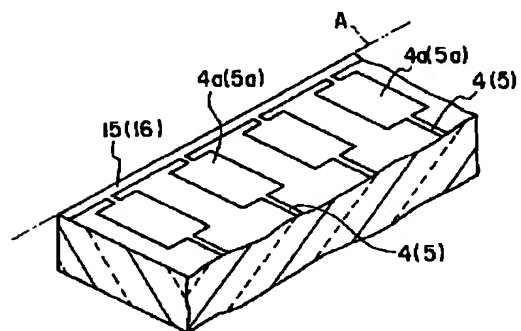
【図 1】



【図 5】



【図 4】



NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more TFT connected to two or more pixel electrodes and these pixel electrodes into a field predetermined [on a transparent substrate], Two or more gate lines which supply a gate signal to the aforementioned TFT, Two or more data lines which supply a data signal to the aforementioned TFT are formed. Furthermore, it meets inside the profile of the aforementioned field. Each aforementioned gate line of both and each data line of both And the track which makes it flow through each gate line and each data line of both electrically, respectively is formed. And a wrap orientation film is formed for each aforementioned pixel electrode and each TFT. Perform rubbing processing to the film surface of this orientation film, and a TFT panel is constituted. Join this TFT panel and an opposite panel by the frame-like sealant, and a liquid crystal cell is assembled. Along with the profile of the aforementioned field, carry out the scribe of the substrate of the back [this] aforementioned TFT panel, and it is cut. The corner of the cut edge of the aforementioned substrate is beveled by polish after this cut, and this beveling removes the aforementioned track. Each gate line of both The manufacture method of the active matrix type liquid crystal display element characterized by making each data line of both and each gate line and each data line of both become independent, respectively.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the method of manufacturing an active matrix type liquid crystal display element.

[0002]

[Description of the Prior Art] An active matrix type liquid crystal display element joins a TFT panel and an opposite panel through a frame-like sealant, assembles a liquid crystal cell, and comes to enclose liquid crystal in this liquid crystal cell.

[0003] Two or more transparent pixel electrodes arranged in all directions on the transparent substrate which a TFT panel becomes from glass etc., Two or more TFT linked to these pixel electrode, and two or more gate lines which supply a gate signal to the aforementioned TFT, Two or more data lines which supply a data signal to the aforementioned TFT are formed, the orientation film which consists each aforementioned pixel electrode and each TFT of a wrap polyimide etc. on a substrate further is applied, and it comes to give rubbing processing to the film surface of this orientation film.

[0004] And the TFT panel constituted in this way is sent like the erector of a liquid crystal display element, it is joined through a frame-like sealant, this TFT panel and an opposite panel are assembled as a liquid crystal cell, and liquid crystal is enclosed in this liquid crystal cell this the back.

[0005]

[Problem(s) to be Solved by the Invention] However, when rubbing of the film surface of an orientation film is carried out at the time of the manufacturing process of TFT TAPANERU, static electricity occurs in friction with a rubbing cloth and an orientation film, the potential difference may arise between a gate line and a data line under the influence of this static electricity, and dielectric breakdown and the abnormalities in a property may occur in TFT in this potential difference.

[0006] Furthermore, the potential difference may arise between a gate line and a data line under the influence of static electricity charged in the operator's body at the time of the process which joins a TFT panel and an opposite panel and assembles a liquid crystal cell, and dielectric breakdown and the abnormalities in a property may occur in TFT in this potential difference at it.

[0007] this invention was made paying attention to such a point, and the place made into the purpose is to offer the manufacture method of an active matrix type liquid crystal display element that dielectric breakdown of TFT and generating of the abnormalities in a property can be prevented as the potential difference does not arise between a gate line and a data line under the influence of static electricity.

[0008]

[Means for Solving the Problem] The pixel electrode of the plurality in a field predetermined [on a substrate transparent in order that this invention may attain such a purpose], Two or more TFT linked to these pixel electrode, and two or more gate lines which supply a gate signal to the aforementioned TFT, Two or more data lines which supply a data signal to the aforementioned TFT are formed. Furthermore, it meets inside the profile of the aforementioned field. Each aforementioned gate line of both and each data line of both And the track which makes it flow through each gate line and each data line of both electrically, respectively is formed. And a wrap orientation film is formed for each aforementioned pixel electrode and each TFT. Perform rubbing processing to the film surface of this orientation film, and a TFT panel is constituted. Join this TFT panel and an opposite panel by the frame-like sealant, and a liquid crystal cell is assembled. Along with the profile of the aforementioned field, carry out the scribe of the substrate of the back [this] aforementioned TFT panel, and it is cut. The corner of the cut edge of the aforementioned substrate is beveled by polish after this cut, this beveling removes the aforementioned track, and it is made to make

each gate line of both, each data line of both, and each gate line and each data line of both become independent, respectively.

[0009]

[Function] Although the influence of static electricity attains to a TFT panel at the time of rubbing processing of the film surface of an orientation film, and the assembly of a liquid crystal cell. However, at the time of this process, each gate line and each data line of a TFT panel have flowed electrically mutually through a track. For this reason, even if static electricity occurs, the potential difference does not arise between each gate line and each data line, mutual [the] is maintained at this potential, therefore dielectric breakdown of TFT and generating of the abnormalities in a property can be prevented.

[0010]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. After it constitutes the TFT panel for liquid crystal display element plurality using one large-sized substrate and assembles a liquid crystal cell, a liquid crystal display element carries out the scribe of the aforementioned large-sized substrate to the portion of each TFT panel, and it is made to separate it generally, when it is manufactured by the process which assembles two or more liquid crystal cells collectively and manufactures a liquid crystal display element by this process. And the corner of the periphery of the substrate cut by the scribe is beveled by polish.

[0011] The plan of the TFT panel used for it when manufacturing a liquid crystal display element in drawing 1 by the aforementioned process is shown, and it is the transparent large-sized substrate which consists of glass of a size with which a sign 1 can extract the TFT panel for liquid crystal display element plurality.

[0012] And on this substrate 1, the predetermined field A corresponding to the size of the liquid crystal display element to manufacture is secured, and two or more TFT 3 linked to two or more transparent pixel electrodes 2 arranged in all directions in this field A and these pixel electrode 2, two or more gate lines 4 which supply a gate signal to aforementioned TFT 3, and two or more data lines 5 which supply a data signal to aforementioned TFT 3 are formed.

[0013] The gate line 4 which wired on the substrate 1 as aforementioned TFT 3 was shown in drawing 2, and the gate electrode 6 formed in one, The gate insulator layer 7 which consists this gate electrode 6 of a wrap SiN (silicon nitride) etc., The i-type-semiconductor film 8 which consists of a-Si (amorphous silicon) which was made to counter the aforementioned gate electrode 6 and was formed on this gate insulator layer 7, It consists of the source electrodes 10 and the drain electrodes 11 which were formed through the n-type-semiconductor film 9 which consists of a-Si which doped the impurity on this i-type-semiconductor film 8.

[0014] The aforementioned gate insulator layer 7 covers the aforementioned gate line 4, and is formed all over the simultaneously in Field A, and the aforementioned pixel electrode 2 and the data line 5 are formed on the aforementioned gate insulator layer 7. And the pixel electrode 2 is connected to the source electrode 10 of TFT 3 in the end edge, and the data line 5 is connected with the drain electrode 11 of TFT 3 in one.

[0015] In addition, in drawing 1, the terminal with which 4a was formed in the end section of the gate line 4, and 5a are the terminals formed in the end section of a data line 5, and terminal 4a of the gate line 4 is exposed by forming opening 7a in the aforementioned gate insulator layer 7, after forming a data line 5.

[0016] Furthermore, on the substrate 1, as shown in drawing 1, along with the inside of the profile of the aforementioned field A, the 1st track 15 and 2nd track 16 were formed, each gate line 4 was connected with the 1st track 15 on the outside of the terminal 4a at one, and each data line 5 is connected with the 2nd track 16 on the outside of the terminal 5a at one.

[0017] The 1st track 15 is formed in the gate line 4 and one at the time of the process which forms the gate line 4 by patterning on a substrate 1, and forms the 2nd track 16 in the data line 4 and one at the time of the process which forms a data line 4 by patterning.

[0018] And in the end section, it connects mutually, and is made to flow through the 1st track 15 and 2nd track 16 electrically. although the gate insulator layer 7 intervenes between the 1st track 15 and the 2nd track 16 -- the connection between the 1st track 15 and the 2nd track 16 -- for example, the aforementioned gate insulator layer 7 -- contact -- a hole -- 7b -- forming -- this contact -- a hole -- it carries out by contacting the end section of the 1st track 15, and the end section of the 2nd track 16 through 7b

[0019] After forming the pixel electrode 2, TFT 3, the gate line 4 and the 1st track 15, a data line 5, and the 2nd track 16 on a substrate 1, the orientation film 17 which consists of a polyimide etc. is applied on the field which the pixel electrode 2 and TFT 3 arrange, and this is calcinated.

[0020] Then, arranging a substrate 1 on a stage 20, as shown in drawing 3, contacting the rubbing roller 21 which twisted rubbing cloths, such as nylon, rayon, and cotton, around the film surface of the aforementioned orientation film 17, and rotating this rubbing roller 21, on the other hand, it is made to move to **, and rubbing processing is performed to the film surface of the orientation film 17.

[0021] Although static electricity occurs by friction with the film surface of the orientation film 17, and the rubbing roller 21 at this time, however even if each gate line 4 and each data line 5 have flowed electrically mutually through the 1st track 15 and the 2nd track 16 and static electricity occurs for this reason, the potential difference does not arise between each gate line 4 and each data line 5, and mutual [the] is maintained at this potential. Therefore, dielectric breakdown of TFT 3 and generating of the abnormalities in a property under the influence of static electricity are avoided.

[0022] After the rubbing processing to the film surface of the orientation film 7 is completed, the large-sized substrate 1 is sent like the erector of a liquid crystal display element, a TFT panel and an opposite panel are joined through a frame-like sealant, and a liquid crystal cell is assembled.

[0023] Although the influence of static electricity charged in an operator's body during the work of this assembly may attain to a TFT panel Also in this case, since each gate line 4 and each data line 5 have flowed electrically mutually through the 1st track 15 and the 2nd track 16 Irrespective of the influence of static electricity, between each gate line 4 and each data line 5 is maintained at this potential, and dielectric breakdown of TFT 3 and generating of the abnormalities in a property under the influence of the static electricity are avoided.

[0024] After the assembly of a liquid crystal cell, the scribe of the large-sized substrate 1 of a TFT panel and the large-sized substrate of an opposite panel is carried out, respectively, and a liquid crystal cell is separated separately. Under the present circumstances, in the substrate 1 of a TFT panel, along with the profile of Field A, a scribe is carried out and it cuts. By cutting a substrate 1 along with the profile of Field A, as shown in the edge of the cut at drawing 4 , tracks 15 and 16 remain.

[0025] After this cut, as shown in drawing 5 , polish removes the barricade of the corner of the edge of a cut with tracks 15 and 16. The aforementioned tracks 15 and 16 are arranged along with the corner of the edge of a cut, therefore tracks 15 and 16 and a barricade are simultaneously removed by the process of this polish. And each gate line 4 of both, each data line 5 of both, and each gate line 4 and each data line 5 of both are separated by removal of tracks 15 and 16, respectively, each gate line 4 and each data line 5 become independent, respectively, and the composition as a liquid crystal display element is ready. In addition, in drawing 4 and drawing 5 , the gate insulator layer 7 on a substrate 1 is omitted.

[0026] At the process which forms tracks 15 and 16 in the outside of the field A on a substrate 1, and carries out the scribe of the substrate 1 along with the profile of Field A, by the way, the tracks 15 and 16, Although separating each gate line 4 and each data line 5, and also making each gate line 4 and each data line 5 become independent is considered In this case, the margin section for arranging tracks 15 and 16 will have to be secured in the outside of Field A, and it will be necessary to increase the area of the part and a substrate 1 on it, and will become disadvantageous in respect of cost on it.

[0027] In this invention, tracks 15 and 16 are formed along with the inside of the profile of Field A. Along with the profile of Field A, cut a substrate 1, remove tracks 15 and 16 using the process which bevels the corner of the edge of the cut by polish, and it is made to make each gate line 4 and each data line 5 become independent. therefore, the margin section for arranging tracks 15 and 16 especially on the outside of Field A -- it is not necessary to secure -- the area of a substrate 1 -- necessary minimum -- ** -- there is an advantage which can limit and can aim at reduction of cost

[0028] In addition, this invention may be the case where a liquid crystal display element is manufactured using the substrate of the size in which not only when forming two or more liquid crystal display elements collectively using a large-sized substrate, but the extraction for a liquid crystal display element piece is possible.

[0029]
[Effect of the Invention] Dielectric breakdown of TFT and generating of the abnormalities in a property which can prevent generating of the potential difference between the gate line of the TFT panel and a data line although the influence of static electricity attains to a TFT panel at the time of rubbing processing of an orientation film and the assembly of a liquid crystal cell according to this invention as explained above, therefore originate in the potential difference can be avoided, and the yield of manufacture can be raised.

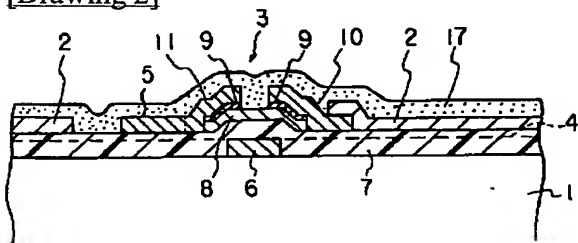
NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

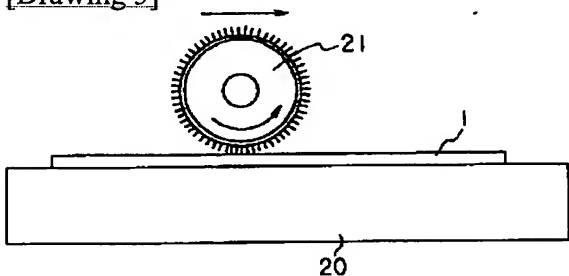
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

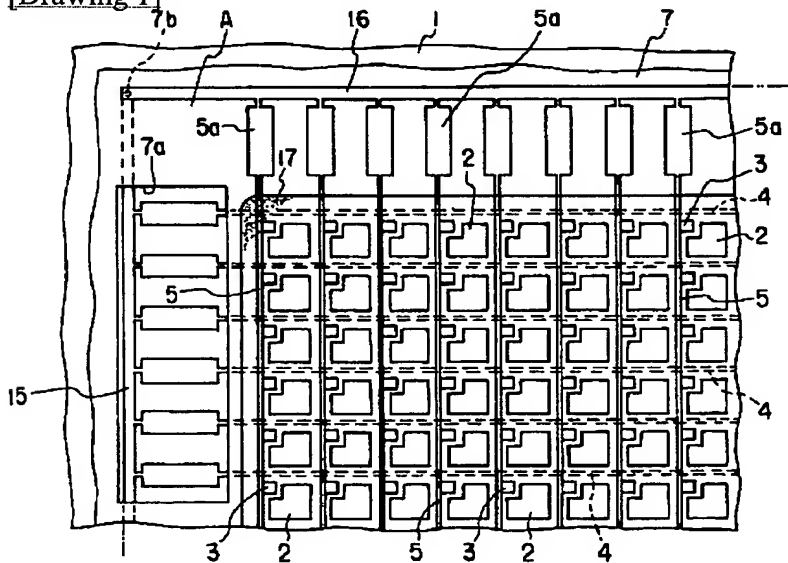
[Drawing 2]



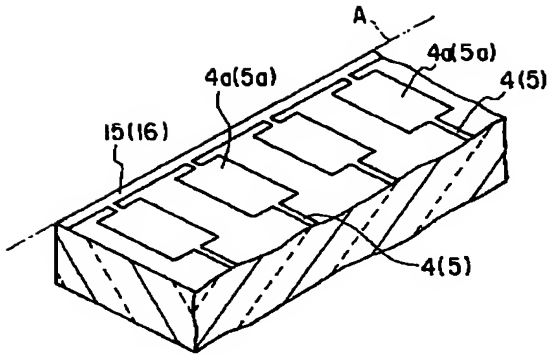
[Drawing 3]



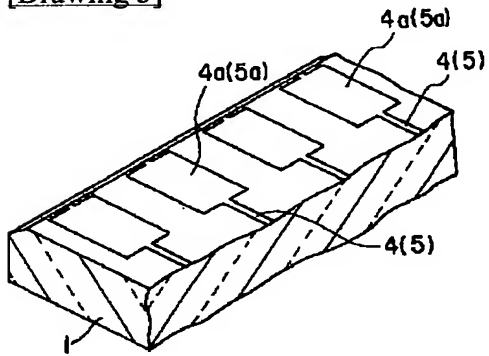
[Drawing 1]



[Drawing 4]



[Drawing 5]



[Translation done.]